

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2002-134701

(P2002-134701A)

(43) 公開日 平成14年5月10日 (2002.5.10)

(51) Int.Cl. ⁷	識別記号	F I	テマコード (参考)
H 0 1 L 27/08	3 3 1	H 0 1 L 27/08	3 3 1 A 5 F 0 3 2
G 0 3 F 9/00		G 0 3 F 9/00	H 5 F 0 4 6
H 0 1 L 21/027		H 0 1 L 21/30	5 0 2 M 5 F 0 4 8
21/76		21/76	L

審査請求 未請求 請求項の数 6 O L (全 9 頁)

(21) 出願番号 特願2000-325111(P2000-325111)

(22) 出願日 平成12年10月25日 (2000. 10. 25)

(71) 出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72) 発明者 阪本 雄彦

東京都港区芝五丁目7番1号 日本電気株式会社内

(74) 代理人 100082935

弁理士 京本 直樹 (外2名)

Fターム (参考) 5F032 AA34 AA45 DA04 DA25 DA33

DA78

5F046 EA12 EA23 EA30 EB05

5F048 AA04 AA09 AC01 AC03 BA01

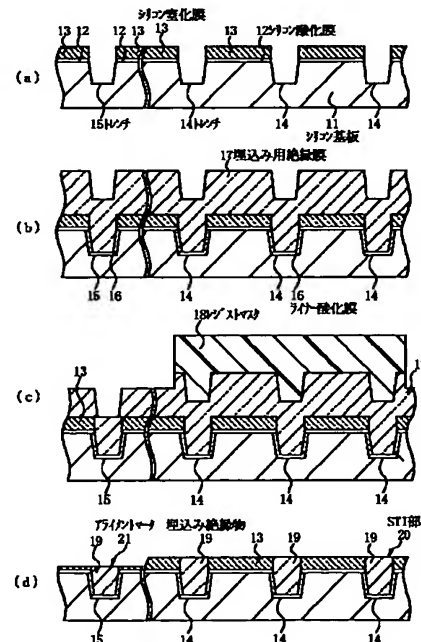
BC06 BE03 BG14

(54) 【発明の名称】 半導体装置の製造方法

(57) 【要約】

【課題】半導体装置の製造において、アライメント不良を防止するのに必要なアライメントマークの段差を、工程数の増加を伴うことなく形成し、製造コストの増大、生産性の低下を防止する。

【解決手段】半導体基板11上、アライメントマーク21の形成予定領域及び素子分離領域として用いるSTI部20の形成予定領域にそれぞれトレンチ15、14を形成し、トレンチ14、15を覆うように半導体基板11上に埋込み用絶縁膜17を堆積する。CMP工程において、CMP後に埋込み用絶縁膜が残留する問題を防止するために行われるフォトリソグラフィ工程及び異方性エッチング工程を用い、トレンチ15上の埋込み用絶縁膜を予め所定の深さだけ除去する。このエッチング工程を通して、アライメントマーク21に段差を形成する。



【特許請求の範囲】

【請求項1】 半導体基板主面から基板内部に延在する溝と前記溝内の絶縁体物とで構成される、半導体装置製造のフォトリソグラフィ工程で用いる重ね合わせ用マークおよび半導体素子を形成する活性領域間を絶縁分離するトレンチ素子分離領域を有する半導体装置の製造方法であって、

前記半導体基板表面に第1の絶縁膜と耐酸化性のある第2の絶縁膜とをこの順に積層してパターニングし、前記第2の絶縁膜パターンをエッチングマスクにして前記半導体基板をドライエッチングし溝を形成する工程と、
10 前記溝を充填するように全面に埋込み用絶縁膜を堆積させた後、前記重ね合わせ用マーク形成予定領域の溝上と前記活性領域のうちの一部の活性領域上との前記埋込み用絶縁膜を選択的に所定の膜厚だけエッチングする工程と、

前記第2の絶縁膜を研磨ストッパーとした前記埋込み絶縁膜の化学機械研磨を通して、前記活性領域間に設けた溝に前記絶縁体物を充填すると共に前記重ね合わせ用マーク形成予定領域の溝に段差を有するように前記絶縁体物を形成して前記重ね合わせ用マークを形成する工程と、を含むことを特徴とする半導体装置の製造方法。

【請求項2】 前記選択的なエッチング後の前記埋込み用絶縁膜の表面が前記第2の絶縁膜表面より下部に位置するように前記埋込み用絶縁膜を選択的にエッチングすることを特徴とする請求項1記載の半導体装置の製造方法。

【請求項3】 前記重ね合わせ用マークはアライメントマーク、バーニアマークあるいは自動重ね合わせ測定マークであることを特徴とする請求項1または請求項2記載の半導体装置の製造方法。

【請求項4】 前記溝部に段差を有する重ね合わせ用マークの1つであるアライメントマークを形成後に全面に導電性膜を成膜し、続くフォトリソグラフィ工程において前記段差を有するアライメントマークでマスク合わせをすることを特徴とする請求項1または請求項2記載の半導体装置の製造方法。

【請求項5】 前記マスク合わせを通して絶縁ゲート電解効果トランジスタのゲート電極パターンを形成することを特徴とする請求項4に記載の半導体装置の製造方法。

【請求項6】 前記導電性膜が多結晶シリコン膜、高融点金属のシリサイド膜、高融点金属膜あるいはこれらの積層膜であることを特徴とする請求項4または請求項5記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、トレンチ素子分離領域を有する半導体装置の製造方法に関し、特にフォトリソグラフィ工程で使用するアライメントマーク、位置

合わせ量測定マーク等の重ね合わせ用マークの形成方法に関する。

【0002】

【従来の技術】 半導体装置製造の重要プロセスであるフォトリソグラフィ工程においては、アライメントマークを基準にしてフォトマスク等の位置合わせを行うようにしている。アライメントマークとして、LOCOSプロセスで形成したものを利用する場合、LOCOS表面の高さとシリコン基板表面の高さの間に段差が少なからず存在する。従って、後工程で低透過率の被加工膜を成膜しても段差部分が受け継がれ、新たなアライメントマークが再現される。そのため、再現されたアライメントマークを基準にしてフォトマスクの位置合わせを行うことができた。

【0003】 しかし近年では微細化が進み、フォトリソグラフィ工程での位置合わせのマージン確保のためにウェハ内の段差を低減する必要が生じている。そこで、LOCOSプロセスに代えてトレンチ素子分離であるSTI (Shallow Trench Isolation) プロセスを採用し、このSTIプロセスにCMP (Chemical Mechanical Polishing) による平坦化プロセスを組み合わせたという方法が用いられるようになった。このようにSTIプロセス及びCMPプロセスを採用し、ウェハの段差が低減されたものにおいては、後工程において新たにアライメントマークが再現されない、若しくはアライメントマークが不明瞭になるため、可視光を透過しないポリシリコン膜が成膜されると、アライメントマークが認識できず、アライメント不良を発生させ、製品歩留まりを低下させるという問題がある。

【0004】 この問題を解決するための従来の技術として、特開平11-330381号公報に記載されるような方法がある。以下、従来の技術に係わる半導体装置の製造方法を図6と図7に基づいて詳細に説明する。図6と図7は、従来の技術に係わる半導体装置の製造方法を工程順に示す模式的断面図である。

【0005】 先ず、図6(a)に示すように、シリコン基板111上にSTIプロセス及びCMPプロセスを用いた公知の方法で、素子分離用のトレンチ113及びアライメントマークを形成するためのトレンチ114を形成する。そして、トレンチ113、114に埋込み絶縁物115を充填し、STI部115a、アライメントマーク115bを形成する。そして、熱酸化膜112、n型ウェル領域116、p型ウェル領域117を形成する。ここで、埋込み絶縁物115には、例えば高密度プラズマ (High Density Plasma: HDP) CVD (化学気相成長) 法によるシリコン酸化膜が用いられる。

【0006】 次に、図6(b)に示すように、熱酸化膜112上に形成したレジストマスク118をエッチングマスクにしてアライメントマーク115bに埋め込まれた埋込み絶縁物115のみを、エッチングの時間を制御

する等によって部分的に除去して窪みを形成する。

【0007】次に、図6(c)に示すように、レジストマスク118を除去した後、ウェットエッチングによって熱酸化膜112を除去する。そして、図6(d)に示すように、ゲート酸化膜119を熱酸化によるシリコン酸化膜で形成する。ここで、STI部115a、アライメントマーク115bの埋込み絶縁物の厚さはほとんど変化しない。

【0008】次に、図7(a)に示すように、ゲート酸化膜119上にポリシリコン膜120をCVD法により成膜する。この時、アライメントマーク115bにおいて上記窪みによる段差が形成されているため、ポリシリコン膜120にも段差が再現される。この段差が新たなアライメントマークを構成する。

【0009】次に、図7(b)に示すように、フォトリソグラフィ工程及び異方性エッチングを経て、ポリシリコン膜120をパターニングしゲート電極121を形成する。この時のフォトリソグラフィ工程におけるマスク合わせは、ポリシリコン膜120が構成する段差をアライメントマークとして検出することによって行われる。そして、ゲート電極121を形成すると、再びトレンチ114における段差がシリコン基板111表面に露出する。この後のフォトリソグラフィ工程では、トレンチ114における段差をアライメントマークとして使用する。ここで、トレンチ113のSTI部115aに段差はない。

【0010】そして、図7(c)に示すように、Nチャネル型MOSTランジスタ(NMOSTランジスタ)形成予定領域及びPMOSTランジスタ形成予定領域を順にフォトレジストで覆い、PMOSTランジスタ形成予定領域にはp型不純物(例えばボロン)をイオン注入し、NMOSTランジスタ形成予定領域にはn型不純物(例えばリン)をイオン注入する。詳細は省略するが、これにより、n型ウェル領域116、p型ウェル領域117にそれぞれソース/ドレインとして用いられる拡散層122、123が形成される。これにより、LDD(Lightly Doped Drain)構造のソース・ドレイン拡散層が完成する。

【0011】

【発明が解決しようとする課題】上述した従来の半導体装置の製造方法では、アライメントマーク115bに段差を形成するための工程が追加されている。すなわち、図6(b)に示されるアライメントマーク115bに埋め込まれた埋込み絶縁物115を選択的に除去するためのフォトリソグラフィ工程及びエッチング工程である。このため工程数が増加し、製造コストの増大、生産性の低下を招く。

【0012】本発明の目的は、STIプロセス及びCMPプロセスを用いたSTI構造の製造工程において、工程数の増加を伴うことなくアライメントマーク等の重ね

合わせ用マークの段差を形成することを可能とし、製造コストの増大を防止できる半導体装置の製造方法を提供することにある。

【0013】

【課題を解決するための手段】そこで本発明の半導体装置の製造方法は、半導体基板主面から基板内部に延在する溝と前記溝内の絶縁体物とで構成される、半導体装置製造のフォトリソグラフィ工程で用いる重ね合わせ用マークおよび半導体素子を形成する活性領域間を絶縁分離するトレンチ素子分離領域を有する半導体装置の製造方法であって、前記半導体基板表面に第1の絶縁膜と耐酸化性のある第2の絶縁膜とをこの順に積層してパターニングし、前記第2の絶縁膜パターンをエッチングマスクにして前記半導体基板をドライエッチングし溝を形成する工程と、前記溝を充填するように全面に埋込み用絶縁膜を堆積させた後、前記重ね合わせ用マーク形成予定領域の溝上と前記活性領域のうちの一部の活性領域上との前記埋込み用絶縁膜を選択的に所定の膜厚だけエッチングする工程と、前記第2の絶縁膜を研磨ストップパースとした前記埋込み用絶縁膜の化学機械研磨を通して、前記活性領域間に設けた溝に前記絶縁体物を充填すると共に前記重ね合わせ用マーク形成予定領域の溝に段差を有するように前記絶縁体物を形成して前記重ね合わせ用マークを形成する工程と、を含む。ここで、前記選択的なエッチング後の前記埋込み用絶縁膜の表面が前記第2の絶縁膜表面より下部に位置するように前記埋込み用絶縁膜を選択的にエッチングするとよい。

【0014】上記の前記重ね合わせ用マークはアライメントマーク、ノギスマークあるいは自動重ね合わせ測定マークである。

【0015】また、本発明の半導体装置の製造方法では、前記溝部に段差を有する重ね合わせ用マークの1つであるアライメントマークを形成後に全面に導電性膜を成膜し、続くフォトリソグラフィ工程において前記段差を有するアライメントマークでマスク合わせをする。そして、前記マスク合わせを通してMOSTランジスタのゲート電極パターンを形成する。

【0016】ここで、前記導電性膜は多結晶シリコン膜、高融点金属のシリサイド膜、高融点金属膜あるいはこれらの積層膜である。

【0017】上記のような本発明の構成により、半導体装置の製造工程数の増加を伴うことなくアライメントマーク等の重ね合わせ用マークに段差を形成することが可能となる。

【0018】

【発明の実施の形態】次に、本発明の第1の実施の形態を図1乃至図3に基づいて詳細に説明する。図1乃至図3は、本発明に係わる半導体装置を製造工程順に示す模式的断面図である。

【0019】まず、図1(a)に示すように、導電型がp

型のシリコン基板11上に、熱酸化により膜厚20nm程度の第1の絶縁膜であるシリコン酸化膜12を形成し、シリコン酸化膜12上にCVD法により、耐酸化性があり第2の絶縁膜である膜厚が約150nmのシリコン窒化膜13を形成する。そしてフォトリソグラフィ工程及び異方性エッチング工程により、アライメントマークを形成する予定の領域及び素子分離として用いるSTI部の形成予定領域上におけるシリコン酸化膜12及びシリコン窒化膜13を開口させる。

【0020】次に、シリコン窒化膜13をマスクとして、異方性エッチングによりシリコン窒化膜13の開口部からシリコン基板11を所定の深さだけ除去し、素子分離用としてのトレンチ(溝)14とアライメントマークを形成するためのトレンチ15とを形成する。これらのトレンチ14、15は、素子部における素子分離を十分に行えるように、約0.4μmの深さで形成される。

【0021】次に、図1(b)に示すように、トレンチ14、15の内壁にライナー酸化膜16を熱酸化により形成した後、HDP-CVD法により埋込み用絶縁膜17をシリコン基板11の全面に約0.8μm堆積し、トレンチ14、15を埋込み用絶縁膜17で埋め込む。

【0022】次に、図1(c)に示すように、フォトリソグラフィ工程及びレジストマスク18を用いる異方性エッチングにより、広い面積の活性領域が形成される領域、及びアライメントマークが形成される領域上の埋込み用絶縁膜17を所定の厚さだけ除去する。ここで、広い面積の活性領域とは、大きな面積を有するMOSトランジスタ等の半導体素子を形成すべく、半導体素子の形成される領域すなわち活性領域の面積が大きくなっている領域のことである。そして、この除去する厚さは、埋込み用絶縁膜17の膜厚から、シリコン窒化膜13の表面とトレンチ15の底面との段差を引いた厚さより薄く、例えば約0.2μmである。

【0023】通常、STIの形成過程においては、広い面積の活性領域の中央部にて、CMP工程の後に埋込み用絶縁膜17が残留する問題が生じる場合がある。埋込み用絶縁膜17が残留が生じると、例えばその後の工程にてシリコン窒化膜13を除去する際に、埋込み用絶縁膜17がマスクとなりシリコン窒化膜13が除去しきれない、または残留している埋込み用絶縁膜17が浮いてしまいパーティクルが発生する等の不具合が起きる。上述した図1(c)に示す、フォトリソグラフィ工程及び異方性エッチングは、この問題を防止するために行われている。

【0024】本発明の第1の実施の形態では、この図1(c)に示すフォトリソグラフィ工程及び異方性エッチングにて、アライメントマークが形成される領域上の埋込み用絶縁膜17のエッチングを同時に行う。

【0025】続いて、図1(d)に示すように、CMP工程にて、シリコン窒化膜13を研磨ストッパーとして

埋込み用絶縁膜17を全面研磨して平坦化する。これにより、埋込み絶縁物19はシリコン窒化膜13の表面と同等の高さとなる。この埋込み絶縁物19のうち、素子部のトレンチ14に位置するものがSTI部20を形成し、トレンチ15に位置するものがアライメントマーク21を構成するようになる。アライメントマークが形成される領域の埋込み絶縁物19は、あらかじめ所定の深さだけエッチング除去されているため、CMP研磨後のアライメントマーク形成予定領域のシリコン窒化膜13の膜厚は、素子部のSTI部20形成予定領域のシリコン窒化膜13の膜厚よりも薄くなる。そのため埋込み絶縁物19の膜厚も、アライメント形成予定領域の方が、素子部のSTI部20形成予定領域より薄くなる。

【0026】次に、図2(a)に示すように、ウェットエッチングによりシリコン窒化膜13を除去する。そして、図2(b)に示すように、ウェットエッチングによりシリコン酸化膜12を除去する。これらの工程後は、STI部20とアライメントマーク21の埋込み絶縁物19に段差はほとんどない。

【0027】次に、図2(c)に示すように、熱酸化により熱酸化膜22を形成する。ここで、STI部20とアライメントマーク21の埋込み絶縁物19の膜厚の変化はほとんどない。そしてフォトリソグラフィ工程及びイオン注入工程により、PMOSTランジスタ形成予定領域にn型不純物を注入し、n型ウェル領域23を形成する。さらに再びフォトリソグラフィ工程及びイオン注入工程により、NMOSTランジスタ形成予定領域にp型不純物を注入し、p型ウェル領域24を形成する。熱酸化膜22は、イオン注入の際のスルー膜として用いられる。

【0028】そして、図2(d)に示すように、ウェットエッチングによりシリコン基板11表面の熱酸化膜22を除去する。そして、図2(e)に示すようにゲート酸化膜25を熱酸化により形成する。

【0029】ここまでの工程で、図2(d)の工程にて形成された、アライメントマーク形成予定領域と素子部のSTI部形成予定領域の間の埋込み絶縁物19の膜厚差が保存されるため、STI部20には段差が形成されないのに対し、アライメントマーク21には段差が形成される。

【0030】次に、図2(f)に示すように、ゲート酸化膜25上に例えばポリシリコン膜26からなる低透過率の被加工膜をCVD法により成膜する。この時、アライメントマーク21において段差が形成されているため、ポリシリコン膜26にも段差が再現される。この段差が新たなアライメントマークを構成する。

【0031】以下は従来の技術で説明したのと同様に形成される。図3(a)に示すように、ポリシリコン膜26をパターニングしゲート電極27を形成する。この時のフォトリソグラフィ工程におけるマスク合わせは、ア

ライメントマーク21を検出することによって行われる。そして、図3(a)に示すように、NMOSTランジスタ形成予定領域及びPMOSTランジスタ形成予定領域を順にフォトレジストで覆い、PMOSTランジスタ形成予定領域であるn型ウェル領域23にはp型不純物(例えばボロン)をイオン注入し、NMOSTランジスタ形成予定領域であるp型ウェル領域24にはn型不純物(例えばリンあるいはヒ素)をイオン注入する。詳細は省略するが、図3(b)に示すように、これによりソース/ドレインとして用いられる拡散層28、29が形成される。ここで、トレンチ14領域のSTI部20、トレンチ15領域のアライメントマーク21aはそのままである。これにより、LDD(Lightly Doped Drain)構造のソース・ドレイン拡散層が完成する。

【0032】本発明では、半導体装置の製造工程数の増加を伴うことなくアライメントマーク等の重ね合わせ用マークに段差を形成することが可能となり、半導体装置の製造コストの増大、生産性の低下を防止することができる。

【0033】次に、本発明の第2の実施の形態を図4と図5に基づいて詳細に説明する。図4と図5は、別の半導体装置の製造工程を工程順に示す模式的断面図である。ここで、第1の実施の形態で説明した図1(b)までは同じである。

【0034】そして、図4(a)に示すように、フォトリソグラフィ工程及び異方性エッチングにより、広い面積の活性領域が形成される領域、及びアライメントマークが形成される領域上の埋込み用絶縁膜17をレジストマスク18aをエッチングマスクにして所定の厚さだけ除去する。埋込み用絶縁膜17を除去する厚さは、埋込み用絶縁膜17の膜厚からトレンチ15の深さを引いた厚さより厚く、埋込み用絶縁膜17の膜厚より薄い厚さであり、例えば約0.6 μ mである。埋込み用絶縁膜17を約0.6 μ m除去すると、トレンチ15内の埋込み絶縁物19表面の高さは、シリコン基板11表面よりも低くなる。ここで、トレンチ14の領域の埋込み用絶縁膜17はエッチングされない。

【0035】本発明の第2の実施の形態では、この図4(a)に示すフォトリソグラフィ工程及び異方性エッチングにて、トレンチ15に段差を有したアライメントマーク21aが形成される。

【0036】続いて、図4(b)に示すように、CMP工程にて、シリコン窒化膜13を研磨ストッパーとして埋込み用絶縁膜17を全面研磨して平坦化する。このようにして、STI部20のトレンチ14に埋込み絶縁物19を形成する。ここで、トレンチ15には段差を有するアライメントマーク21aが形成される。そして、図4(c)に示すように、ウェットエッチングによりシリコン窒化膜13を除去する。更に、図4(d)に示すように、ウェットエッチングによりシリコン酸化膜12を

除去する。これらの工程後は、STI部20の埋込み絶縁物19に段差はなくアライメントマーク21aの埋込み絶縁物19には段差は存在する。

【0037】以後の工程は第1の実施の形態で説明した工程とはほぼ同じである。すなわち、図4(e)に示すように、熱酸化膜22を形成し、フォトリソグラフィ工程及びイオン注入工程により、n型ウェル領域23およびp型ウェル領域24を形成する。ここで、STI部20とアライメントマーク21aの埋込み絶縁物19の膜厚の変化はほとんどない。

【0038】そして、図5(a)に示すように、ウェットエッチングにより熱酸化膜22を除去し、図5(b)に示すように、ゲート酸化膜25を熱酸化により形成する。ここでも、STI部20とアライメントマーク21aの埋込み絶縁物の変化はほとんどない。

【0039】ここまでの工程で、図4(a)の工程にて形成された、アライメントマーク形成予定領域と素子部のSTI部形成予定領域の間の埋込み絶縁物19の膜厚差が保存されるため、STI部20には段差が形成されないのに対し、アライメントマーク21aは段差が形成される。

【0040】そして、図5(c)に示すように、ゲート酸化膜25上に例えばポリシリコン膜26を成膜する。この時、アライメントマーク21aにおいて段差が形成されているため、ポリシリコン膜26にも段差が再現される。この段差が新たなアライメントマークを構成する。

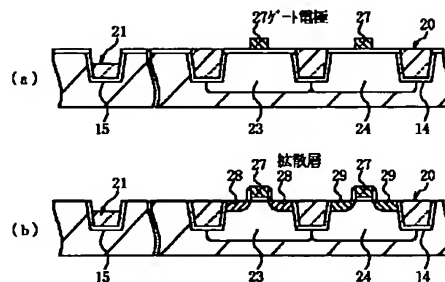
【0041】そして、図5(d)に示すように、フォトリソグラフィ工程及び異方性エッチングにより、n型ウェル領域23およびp型ウェル領域24上にゲート電極27を形成する。この時フォトリソグラフィ工程におけるマスク合わせは、トレンチ15領域のアライメントマーク21a上のポリシリコン膜26が構成する段差をアライメントマークとして検出することによって行う。そして、ゲート電極27をパターニングすると、再びトレンチ15の段差が露出するため、トレンチ15の段差をアライメントマーク21aとして使用する。ここで、トレンチ14領域のSTI部20にはほとんど段差は生じない。

【0042】そして、図5(e)に示すように、NMOSTランジスタ形成予定領域及びPMOSTランジスタ形成予定領域を順にフォトレジストで覆い、PMOSTランジスタ形成予定領域にはp型不純物をイオン注入し、NMOSTランジスタ形成予定領域にはn型不純物をイオン注入する。詳細は省略するが、これによりソース/ドレインとして用いられる拡散層28、29が形成される。これにより、LDD(Lightly Doped Drain)構造のソース・ドレイン拡散層が完成する。ここで、トレンチ14領域のSTI部20、トレンチ15領域のアライメントマーク21aはそのままである。

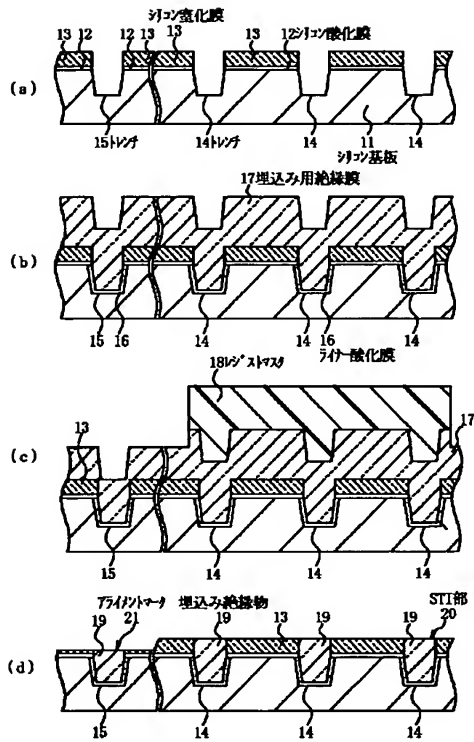
【図面の簡単な説明】

【符号の説明】

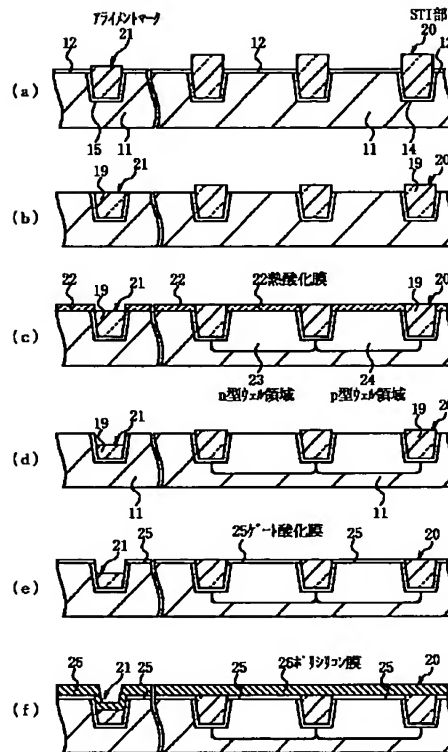
- 【图3】



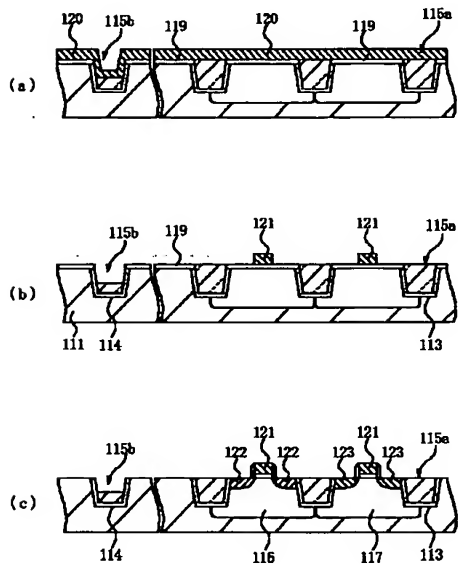
【図1】



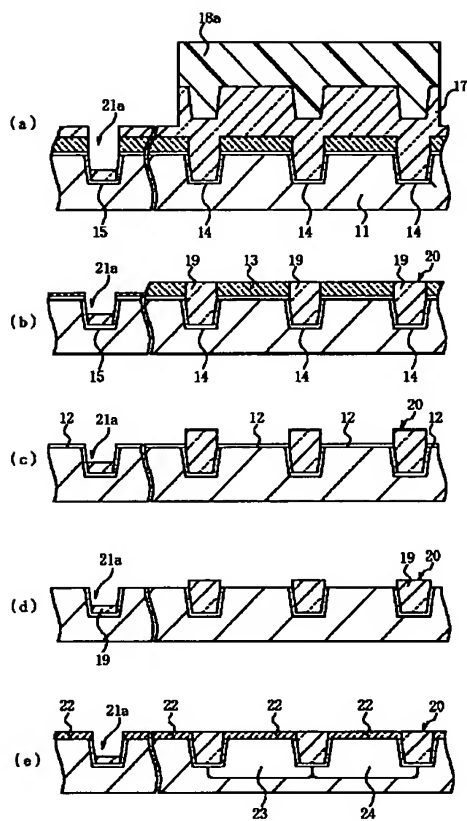
【図2】



【図7】



【図4】



【図5】

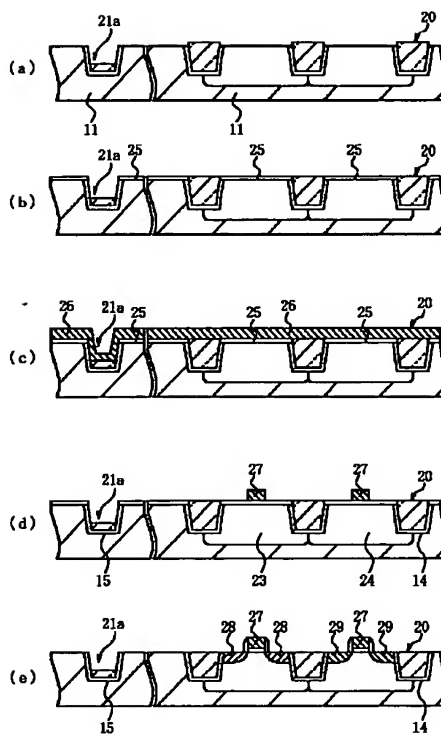


Figure 1 consists of four cross-sectional views of a semiconductor device, labeled (a) through (d), showing the progression of a manufacturing process.

- (a)** Shows a substrate with a series of rectangular openings. A layer 112 is deposited over the substrate. A layer 115 is formed within the openings. A layer 114 is formed on the surface of the substrate. A layer 111 is formed on the surface of the substrate. A layer 116 is formed on the surface of the substrate. A layer 117 is formed on the surface of the substrate. A layer 113 is formed on the surface of the substrate. A layer 115a is formed on the surface of the substrate.
- (b)** Shows the device after a layer 118 has been deposited over the entire surface. The layer 118 is patterned to form a series of rectangular openings. The layer 115b is formed within the openings. The layer 115c is formed on the surface of the substrate.
- (c)** Shows the device after a layer 115b has been deposited over the entire surface. The layer 115b is patterned to form a series of rectangular openings. The layer 115d is formed within the openings. The layer 115e is formed on the surface of the substrate.
- (d)** Shows the device after a layer 119 has been deposited over the entire surface. The layer 119 is patterned to form a series of rectangular openings. The layer 119a is formed within the openings. The layer 119b is formed on the surface of the substrate.